

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-237192

(43)Date of publication of application : 13.09.1996

(51)Int.Cl.

H04B 7/26

H04J 3/06

H04L 7/04

(21)Application number : 07-324618

(71)Applicant : PHILIPS ELECTRON NV

(22)Date of filing : 13.12.1995

(72)Inventor : BELLEC MARTIAL

(30)Priority

Priority number : 94 9415071 Priority date : 14.12.1994 Priority country : FR

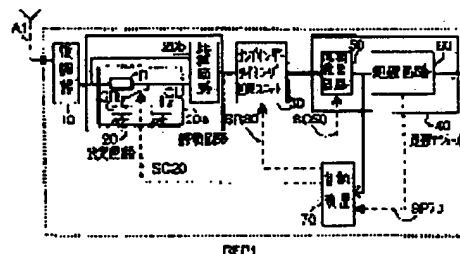
(54) RADIO COLLUMINATION SYSTEM FOR PERMITTING MANAGEMENT OF VARIABLE TRANSMISSION DELAY

(57)Abstract:

PROBLEM TO BE SOLVED: To make the transmission delay between a radio base station and a terminal station group lower than a certain limit by evaluating a DC component of a radio frame including a preamble word by the radio base station and detecting a synchronizing word to determine the transmission delay.

SOLUTION: A demodulation output signal from a non-coherent FSK radio demodulator 10 is transmitted to a determination circuit 20.

An evaluation circuit 20a is an LPF consisting of a resistor R, a high-speed capacitor element CR, and a low-speed capacitor element CL, and the circuit 20a evaluates the DC component of the reception signal when the high-speed capacitor element is selected, and evaluation is considered to be stopped when the low-speed capacitor element is selected. A comparison circuit 20b compares the evaluation output DC component and the demodulation output signal to perform evaluation. The comparison output is supplied to a synchronous detection circuit 50 through a sampling timing restoration unit 30, and its output is supplied to a circuit 60 and an automatic device 70 which process a DECT frame itself. The automatic device 70 performs such control that a synchronizing word may be searched throughout the receivable period of the preamble word at the time, when the radio station is not locked, but the DC component of the reception signal may be evaluated only in the preamble word period at the time when it is locked.



LEGAL STATUS

[Date of request for examination]

10.12.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-237192

(43) 公開日 平成8年(1996)9月13日

(51) Int.Cl. ⁴	識別記号	序内整理番号	F I	技術表示箇所
H 0 4 B 7/26			H 0 4 B 7/26	N
H 0 4 J 3/06			H 0 4 J 3/06	D
H 0 4 L 7/04			H 0 4 L 7/04	A

審査請求 未請求 請求項の数10 OL (全 8 頁)

(21) 出願番号 特願平7-324618

(22) 出願日 平成7年(1995)12月13日

(31) 優先権主張番号 9 4 1 5 0 7 1

(32) 優先日 1994年12月14日

(33) 優先権主張国 フランス (F R)

(71) 出願人 590000248

フィリップス エレクトロニクス ネムロ

ーゼ フェンノートシャッブ

PHILIPS ELECTRONICS

N. V.

オランダ国 アインドーフェン フルーネ

ヴァウツウエッハ 1

(72) 発明者 マーシャル ベレク

フランス国 22560 プルムール ボドゥ

ー ルート ドゥ コアトルウェザン 7

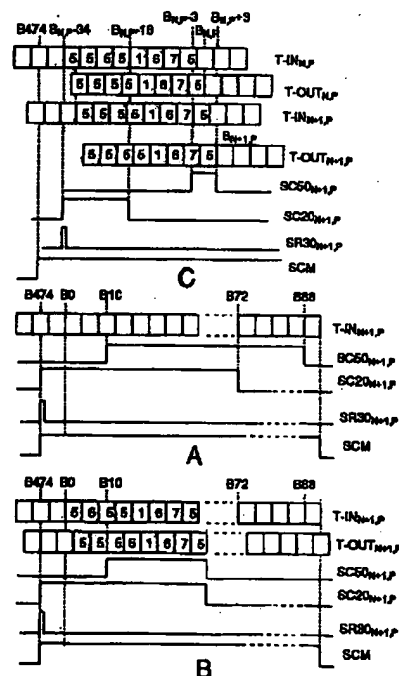
(74) 代理人 弁理士 杉村 暁秀 (外4名)

(54) 【発明の名称】 可変伝送遅延の管理を許す無線通信システム

(57) 【要約】

【課題】 端局群と無線基地局群との間で無線フレーム群を伝送し得る無線通信システムにおいて、端局群と基地局群との間の距離を相互間の伝送遅延が一定限度以下になるようにするために、

【解決手段】 無線基地局がロックされていないときには、プレアンブル・ワードを受信し得る期間の全体に亘って受信信号の直流分を評価し、ロックされている状態では、プレアンブル・ワードの期間だけその評価が行なわれるようにする。



【特許請求の範囲】

【請求項1】 一定限度より少なく遅延して無線局に到達する情報の流れ、就中、プレアンブル・ワード(P)を含む無線フレーム群を無線局に伝送するために無線局(RFP1, RFP2)に同期した少なくとも一つの端局(CTA1, CTA2, PP1, PP2, PP3)を備え、前記無線局が、受信した無線フレームの直流分を評価するための評価回路(20a)を備えるとともに、受信した情報の流れに値を割当てするための決定の閾値としてその評価を用いる無線通信システムにおいて、前記無線局が前記遅延を決定する手段(50, 70, SC50)を備えて、前記遅延が決まらない限りは、前記限度に基づいて決める境界がプレアンブル・ワードを受信し得る最大および最小の瞬間に対応した期間に前記評価を行ない、前記遅延が決まったときには、プレアンブル・ワードの期間のみに前記評価を行なうようにすることを特徴とする無線通信システム。

【請求項2】 前記無線局が検出して前記遅延を決めることを特に可能にする同期ワード(S)を各無線フレームが付加的に含み、前記無線局が同期ワード検出回路(50)を制御する制御手段(SC50)を備えて、前記遅延が決まらない限りは、前記限度に基づいて決める境界が同期ワードを受信し得る最大および最小の瞬間に対応した期間に前記検出を行なうとともに、一旦同期ワードが検出されたときには、前記検出を解除し、前記遅延が決まったときには、同期ワードに設けた検出位置の周囲の限られた期間に前記検出を行なうようにすることを特徴とする請求項1記載の無線通信システム。

【請求項3】 前記遅延が決まらない場合、同期ワードが検出されたときに受信した無線フレームの直流分の評価を評価回路(20a)の制御手段(SC20)が停止させることを可能にすることを特徴とする請求項2記載の無線通信システム。

【請求項4】 DECT標準に適用した請求項1乃至3のいずれかに記載の無線通信システム。

【請求項5】 一定限度より少なく遅延して無線局に到達する情報の流れ、就中、プレアンブル・ワード(P)を含む無線フレーム群を無線局に伝送するために無線局(RFP1, RFP2)に同期した少なくとも一つの端局(CTA1, CTA2, PP1, PP2, PP3)を備え、前記無線局が、受信した無線フレームの直流分を評価するための評価回路(20a)を備えるとともに、受信した情報の流れに値を割当てするための決定の閾値としてその評価を用いる無線通信システムに用いる積りの無線局において、前記無線局が前記遅延を決定する手段(50, 70, SC50)を備えて、前記遅延が決まらない限りは、前記限度に基づいて決める境界がプレアンブル・ワードを受信し得る最大および最小の瞬間に対応した期間に前記評価を行ない、前記遅延が決まったときには、プレアンブル・ワードの期間のみに前記評価を行

なうようにすることを特徴とする請求項5記載の無線局。

【請求項6】 前記無線局が検出して前記遅延を決めることを特に可能にする同期ワード(S)を各無線フレームが付加的に含み、前記無線局が同期ワード検出回路(50)を制御する制御手段(SC50)を備えて、前記遅延が決まらない限りは、前記限度に基づいて決める境界が同期ワードを受信し得る最大および最小の瞬間に対応した期間に前記検出を行なうとともに、一旦同期ワードが検出されたときには、前記検出を解除し、前記遅延が決まったときには、同期ワードに設けた検出位置の周囲の限られた期間に前記検出を行なうようにすることを特徴とする請求項5記載の無線局。

【請求項7】 前記遅延が決まらない場合、同期ワードが検出されたときに受信した無線フレームの直流分の評価を評価回路(20a)の制御手段(SC20)が停止させることを可能にすることを特徴とする請求項6記載の無線局。

【請求項8】 受信信号の直流分を評価する評価回路が低速容量素子と呼ぶ容量素子および高速容量素子と呼ぶ容量素子を含むローパスフィルタであり、評価を行なうために前記高速容量素子(CR)を選ぶとともに、その評価を停止するために前記低速容量素子(CL)を分割することを制御手段(SC20)が可能にすることを特徴とする請求項5乃至7のいずれかに記載の無線局。

【請求項9】 前記低速容量素子(CL)と前記高速容量素子(CR)とが、相互の比が数百程度となる値をそれぞれ有することを特徴とする請求項8記載の無線局。

【請求項10】 DECT標準に適用した請求項5乃至9のいずれかに記載の無線局。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一定限度より少なく遅延して無線局に到達する情報の流れ、就中、プレアンブル・ワードを含む無線フレーム群を無線局に伝送するために無線局に同期した少なくとも一つの端局を備え、前記無線局が、受信した無線フレームの直流分を評価するための評価回路を備えるとともに、受信した情報の流れに値を割当てするための決定の閾値としてその評価を用いる無線通信システムに関するものである。

【0002】本発明は、同様に、一定限度より少なく遅延して無線局に到達する情報の流れ、就中、プレアンブル・ワードを含む無線フレーム群を無線局に伝送するために無線局に同期した少なくとも一つの端局を備え、前記無線局が、受信した無線フレームの直流分を評価するための評価回路を備えるとともに、受信した情報の流れに値を割当てするための決定の閾値としてその評価を用いる無線通信システム用いる積りの無線基地局に関するものである。

【0003】

【従来の技術】本発明は、無線通信の分野、特に、地理的に比較的広い領域を無線基地局がカバーすべき応用分野、例えば、公共遠距離通信網に対するコードレス電話加入者接続の応用分野、特に、DECT標準に基づく無線通信システムに対する応用分野に重要な用途を有するものである。実際に、この場合の無線基地局の典型的なカバー領域は携帯型無線機を同領域で用いた場合の基地局の最大範囲200mに比べて極めて大きいと考えられる5kmである。

【0004】この最大領域での応用では、伝送時間によってデータの受信に一定の折返し遅延が生ずることになり、DECTフレームにおける種々のタイムスロットの間には、DECT標準、すなわち、標準ETS300175-2およびETS300175-3によって、この目的のためにガードタイムが設けられる。遅延の場合には、基地局がノイズやより近接した携帯型端局による妨害の受信によって妨害される危険が生ずる。

【0005】特に、非コヒーレントの周波数偏移キーイング(FSK)受信の場合には、無線基地局および端局によってそれぞれ送受信された搬送波間の周波数ずれにより、復調されたベースバンドのデータに非ゼロ直流成分が生ずる。この直流分は、無線基地局の無線受信機により、受信された情報の流れに値を割当てるための決定の閾値として用いられ、周波数ずれに応じて変化する。したがって、無線基地局と端局との間の各通信毎に、この直流分の精密な評価を得ることが基本である。遅延の場合には、かかる評価がノイズおよび妨害信号によって劣化される危険が生ずる。

【0006】

【課題を解決するための手段】本発明の目的は、無線基地局が長短両領域での適用を同時に支持する無線通信システムを実現するために、この問題に対する解法を提供することにある。

【0007】したがって、冒頭に定義した無線通信システムは、前記無線局が前記遅延を決定する手段を備えて、前記遅延が決まらない限りは、前記限度に基づいて決める境界がプレアンブル・ワードを受信し得る最大および最小の瞬間に対応した期間に前記評価を行ない、前記遅延が決まったときには、プレアンブル・ワードの期間のみに前記評価を行なうようにすることを特徴とする。

【0008】したがって、端局が送信を開始した場合およびその端局を無線基地局から分離する距離、したがって、無線フレームの伝送遅延が決まっていな場合には、プレアンブル・ワードを含み得る期間に受信した情報の流れ全体に対して評価が行なわれる。ついで、遅延が判明すると、そのプレアンブル・ワードのみについて評価が行なわれる。したがって、受信信号の直流分は、妨害信号のノイズから抽出される危険はない。さらに、得られる評価はプレアンブル・ワードの終端で停止し、

データの長い固定列を伝送した場合にも、評価のあらゆる偏差を避けることができる。

【0009】本発明の好適な実施例においては、前記無線局が検出して前記遅延を決めることを特に可能にする同期ワードを各無線フレームが付加的に含み、前記無線局が同期ワード検出回路を制御する制御手段を備えて、前記遅延が決まらない限りは、前記限度に基づいて決める境界が同期ワードを受信し得る最大および最小の瞬間に対応した期間に前記検出を行なうとともに、一旦同期ワードが検出されたときには、前記検出を解除し、前記遅延が決まったときには、同期ワードに設けた検出位置の周囲の限られた期間に前記検出を行なうようにする。

【0010】したがって、遅延の決定を可能にするのは、データフレーム中の同期ワードの検出であり、したがって、受信データのタイミングがすでに判明しているものであるから、より大きい精度が得られることになる。

【0011】

【実施例】以下に図面を参照して実施例につき本発明を詳細に説明する。

【0012】ここで、無線基地局と呼ばれる無線局が地理的区域内の多数の端局群と交信し得るようにしたDECT無線通信システムに基づいて、本発明を説明する。

【0013】本発明による無線通信システムを図1に示す。一方では、それぞれアンテナA1およびA2を有し、例えば電話やファクシミリなどの言語通信装置E1、E2、およびE3にそれぞれ接続されて、二つのビルディングB1およびB2に設置された二つの固定端局CTA1およびCTA2を備えている。端局PP1およびPP2は、データ伝送に供する固定端局であり、ビルディングB3に設置されて、それぞれアンテナA3およびA4を有している。端局PP1はRNIサービスをサポートするものであり、端局PP2は、エザネット(Ethernet)型のコードレス局地データ・ネットワークに接続されたエザネット・アダプタである。最後に、端局PP3は、言語サービスをサポートする携帯型端局である。

【0014】他方では、本発明による無線通信システムは、二つの鉄塔Q1およびQ2の頂上に設置されて集中器DCCに接続された二つの無線基地局RFP1およびRFP2を備えており、この集中器DCCは、さらに、回路網インターフェース・モジュール13を介して回路網RXに接続されている。この回路網RXは、例えば、言語伝送用の公共切換型回路網であり、また、データ伝送用のエザネット型回路網である。

【0015】したがって、交信は、一方では無線基地局RFP1と端局CTA1、PP1およびPP2との間で行なわれ、他方では無線基地局RFP2と端局CTA2およびPP3との間で行なわれる。

【0016】DECT標準では、TDMA(時分割多重アクセス)多周波技術を用い、上述の各交信は、DECTフレーム内にそれぞれの時間窓を占有している。図2

に示すように、DECTフレームは、それぞれ480ビットずつを運ぶ24個の時間窓からなっている。DECT標準では、端局から無線基地局へ伝送されるP32およびP80と呼ぶ2種類のパケットが規定されており、それぞれ、424ビットおよび904ビットを含んでいるので、DECTフレームの各時間窓はパケットP32もしくは半パケットP80を含んでおり、各パケットの終端にはガード期間を設けて伝送遅延を吸収するようになっている。各DECTパケットは、32ビットの同期フィールドSに引続き、P32パケットでは388ビッ

0101 0101 0101 0101 0001 0110 0111
0101

あるいは六十進表示で5555 1675を有している。

【0018】このようにして、各パケットの終端には56ビットのガード期間を設けて、端局と無線基地局との間のデータ伝送に一定の遅延を許すようにしてある。実際には、このガード期間は、その最大値まで用いることができず、数ビット、以下の例では6ビットを次の時間窓の受信に備えて保留しておかねばならない。

【0019】タイムベースに関しては、各端局は交信中の無線基地局に従属しており、換言すれば、各端局は、送信モードでは、無線基地局から到来した受信フレームから再生したタイムベースを利用している。端局は、無線基地局に同期すると、DECTフレームの時間窓の一つにより、その無線基地局にコールを送信することができる。無線基地局は受信モードで時間窓を恒久的に精査し、送信中の端局に自局をロックする目的であらゆる同期ワードを検出する。

【0020】図3には、本発明による無線基地局RFP1の受信部を示す。この受信部は、端局群が送信した無線信号を受信するためにアンテナA1に接続した非コヒーレントFSK無線復調器10を備えている。復調器10からの復調出力信号は、決定回路20に伝送される。この決定回路20は、復調出力信号の直流分を評価するための評価回路20a、および、受信データに決定を下すために評価出力直流分と復調出力信号を比較する比較回路20bを備えている。比較回路20bからの再生信号は、ついで、サンプリング・タイミング回復ユニット30に伝送される。このユニット30の出力端に現れるサンプル出力データは、DECTフレーム群を処理するためのモジュール40、特に、最初の期間に、同期ワードSを検出するための回路50に供給され、その後、DECTフレーム自体を処理するための回路60に供給される。

【0021】前述したように、送信したビット群は、ある遅延を伴って受信される。送信端局と無線基地局との間の距離は未知であるから、この遅延は先験的に決まっていない。この無線局がロックされていない状態にある場合には、同期ワードは、同期ワードSWの最初のビッ

ト、P80パケットでは868ビットのデータ・フィールドを備えており、各データ・フィールド自身には、データ保護のために4ビットずつの冗長ビットが引続いている。

【0017】同期フィールドSは、データ送信機のクロック・レートを回復させるためのプレアンプル・ワードPを形成する第1の16ビット長ワードと、同期ワードSWを形成する第2の16ビット長ワードとからなっている。EECT標準によれば、端局から送出する通信の場合に、この同期フィールドSは、つぎの値

トの可能な最小受信時点と同期ワードSWの最後のビットの可能な最大受信時点との範囲内で探査されなければならない。前述したように、50ビットの伝送遅延が認められており、同期ワードSWは時間窓のB16乃至B31のビット群を占有している。さらに、DECT標準が認める余裕を考慮に入れると、各時間窓の到着時点は ± 6 ビットの絶対ジッタが認められる。したがって、受信フレーム群の時間窓内における任意の同期ワードに対する探査はB10ビット乃至B88ビット内で行なわれなければならない。一方、時間窓内の最初の同期ワードが一旦検出されると、前述の遅延が決まり、次のフレーム内の同一時間窓における同期ワードの位置は、 ± 3 ビットの精度で判ることになる。妨害信号やノイズによるあらゆる擾乱を避けるためには、したがって、同期ワードの探査を先行フレームにおける同一時間窓の同期ワード検出時点に対して ± 3 ビットの期間に限定しなければならないことになる。

【0022】実際には、受信信号の直流分の評価は、抵抗R、低速容量素子CLおよび高速容量素子CRからなるRCローパスフィルタである評価回路20aによって行なわれる。高速容量素子が選択されると、回路20aは受信信号の直流分を評価し、低速容量素子が選択されると、その評価が停止したと考えられる。本発明の目的は、受信信号の直流分は妨害信号やノイズ信号については評価されないことを保証することにある。したがって、この評価は、同期フィールドのプレアンプル・ワードPの期間に行なわれ、その後は、長い固定のワード列が伝送された場合のあらゆる偏差を避けるために、時間窓の残部については停止される。無線基地局がロックされていない場合には、ビットB474とビットB72との間で行なわれ、ついで、時間窓内の最初の同期ワードが検出された後は、プレアンプル・ワードの位置が先行フレームにおける同一時間窓のプレアンプル・ワードの位置と同じであると想像されるので、プレアンプル・ワードの期間のみに評価が行なわれるようにしなければならない。実際には、一つのフレームから次のフレームまでの時間窓の期間に現れるジッタは、評価の結果には影響せず、したがって、それを考慮する必要はない。

【0023】この効果を得るために、無線基地局は、自動ロック装置70をも備えて、無線基地局のロックもしくは非ロックの状態を管理するとともに、その状態の関数として、同期ワードの検出のための回路50の制御信号SC50、回路20aの低速もしくは高速の容量素子の選択を可能にする受信信号の直流分の評価のための評価回路20aの制御信号SC20、および、その評価回路20aの制御信号SC20がトリガされたときに伝送されるタイミング回復ユニット30の再初期化のためのパルスSR30を発生させる。

【0024】パケットP80の場合に、同期ワードの探査および受信信号の直流分の評価は、パケットの始端に対応した時間窓、すなわち、第2時間窓毎にトリガされる必要があるに過ぎない。したがって、フレーム処理回路60は、情報ビットSP70を自動装置70に伝送して、パケットP32もしくはP80に関するものであることを示す。処理回路60は、受信パケットのデータ・フィールドに含まれているフィールドAからこの情報を抽出する。

【0025】つぎに、自動ロック装置70の動作を、図4のフローチャートを参照して説明する。この図4における矢印DSおよびNDSは、それぞれ、同期ワードSWの検出および喪失を示している。自動装置の状態EDVおよびEVは、それぞれ、無線基地局の非ロックおよびロックの状態に対応している。ロック状態EVは、ロックされた副状態E3と四つの中間の副状態とに分割されている。非ロック状態EDVから出発すると、ロック副状態E3まで通過するのに、連続3回同期ワードを検出する必要がある。逆に、ロック副状態E3から出発すると、非ロック状態EDVまで復帰するのに、連続3回同期ワードを喪失する必要がある。非ロック状態EDVでは、同期ワード検出の期間中エラーは許されない。ロック状態EVでは、単一のエラーが許され、すなわち、一つのエラービットがあっても、同期ワードは検出されると考えられる。したがって、自動装置の安定性と伝送の品質との良好な共存を得ることが可能となる。

【0026】したがって、非ロック状態から出発して、同期ワードSWを検出すると、自動装置は第1中間副状態E1に変わり、ついで、この第1中間副状態E1から出発して、同期ワードSWを検出すると、第2中間副状態E2に変わり、逆の場合には、自動装置は非ロック状態EDVに復帰する。さらに、第2中間副状態E2から出発して、同期ワードSWを検出すると、自動装置はロック副状態E3に変わり、逆の場合には、非ロック状態EDVに復帰する。自動装置は、受信データ中の同期ワードを検出している限りは、ロック副状態E3のままであり、また、同期ワードを喪失するや否や、第3中間副状態E4に変わる。この第3中間副状態E4から出発して、同期ワードを検出すると、自動装置は、ロック副状態E3に復帰し、他方、同期ワードを検出しないと、第

4中間副状態E5に変わる。この第4中間副状態E5から出発して、同期ワードを検出すると、自動装置は、ロック副状態E3に復帰し、同期ワードを検出しないと、非ロック状態EDVに変わる。

【0027】したがって、N+1番目のフレームの時間窓Pに対する無線基地局の状態 $E_{N+1,P}$ は、先行フレームNの時間窓Pの状態 $E_{N,P}$ のとおりに作用し、同期ワードSの検出もしくは非検出の作用をする。

【0028】時間窓PがN番目に受信されると、無線局の状態 $E_{N,P}$ と同期ワード $B_{N,P}$ が検出された時点とが、フレームの24個の時間窓のそれぞれと並列に作用する自動装置70のメモリに書込まれ、制御信号SC20 $_{N+1,P}$ およびSC50 $_{N+1,P}$ 並びに次のフレームN+1の時間窓Pの再初期化信号SR30 $_{N+1,P}$ を発生させるのに用いられる。無線局の状態 $E_{N,P}$ と同期ワードが検出された時点 $B_{N,P}$ とは、フレームNの時間窓Pの期間に書込まれ、同期ワードが受信された後は、制御信号SCMの立下がり縁の期間に書込まれる。状態 $E_{N,P}$ と同期ワードが検出された時点 $B_{N,P}$ とは、フレームN+1の時間窓P-1の終端で、制御信号SCMの立下がり縁の期間に読出される。

【0029】図5のAおよびBには、パケットP32について、状態EDVで発生する信号を、同期ワードが検出されたか否かに応じてそれぞれ示してあり、図5のCには、なおパケットP32について、状態EVで発生する諸信号を示してあり、時間窓T-IN $_{N,P}$ およびT-OUT $_{N,P}$ は、それぞれ、無線基地局の入力端および同期ワード検出回路50の入力端におけるP番目の時間窓のN番目の受信に対応している。同図におけるこれら二つの時間窓の間に現れる位置ずれは、タイミング回復ユニット30の過渡時間によるものであり、2ビット程度のものである。

【0030】図5のAによれば、無線局の状態 $E_{N,P}$ の読出し/書込みを制御するとともに、同期ワードが検出される時点 $E_{N,P}$ を制御するための信号SCMは、ビットB474で活性化され、ビットB88の後に非活性化され、同期ワード検出回路を制御するための信号の信号SC50 $_{N+1,P}$ は、ビットB10で活性化され、ビットB88で非活性化され、さらに、最後に、サンプリング・タイミング回復ユニットの再初期化パルスSR30 $_{N+1,P}$ はビットB474で伝送される。

【0031】図5のBによれば、同期ワードが一旦検出されると、換言すれば、同期ワードの最終ビットが受信された直後には、制御信号SC20 $_{N+1,P}$ およびSC50 $_{N+1,P}$ が非活性化されるので、その時間窓の終端まで受信が妨害されなくなる。

【0032】図5のCによれば、無線局の状態の読出しおよび書込みを制御するための制御信号SCMは、ビットB474で活性化され、ビットB88の後に非活性化される。同期ワード検出回路の制御信号SC50 $_{N+1,P}$

は、先行フレームNの時間窓の同期ワードの検出時点 $B_{N,P}$ の3ビット前に活性化され、その検出時点の3ビット後に非活性化され、評価回路を制御するための制御信号 $SC20_{N+1,P}$ は、ビット $B_{N,P}-34$ で活性化され、ビット $B_{N,P}-18$ で非活性化され、さらに、最後に、サンプリング・タイミング回復ユニットに対する再初期化パルス $SR30_{N+1,P}$ はビット $B0$ で伝送される。

【0033】この図5のCには、 $N+1$ 番目のフレームの時間窓 $T-IN_{N+1,P}$ が N 番目のフレームの時間窓 $T-IN_{N,P}$ に対して+3ビットだけずれている極端な場合を表わしてあり、この場合には、同期検出回路50の制御信号 $SC50_{N+1,P}$ の非活性化は、同期ワードが時間窓 $T-OUT_{N+1,P}$ 内で検出される時点 $B_{N+1,P}$ に対応している。

【0034】実際には、回路30、50および70は、プログラム可能な論理回路、例えば、アルテラ(Altera)社製のEPM7128回路によって構成される。

【0035】評価回路20aは、 $1k\Omega$ 抵抗器 nF 、低速容量素子 CL および $10nF$ 高速容量素子 CR によって構成するのが有利であり、一般に、容量値が100の

オーダの比を有する容量素子 CL および CR の選択が重要である。

【0036】以上に説明した実施例に対して、本発明の範囲を逸脱することなく変更を加え得ることは明白であり、特に、本発明はDECT標準に限定されるものではなく、他の時分割多重アクセス伝送標準も、パケットの始端にプレアンプ・ワードおよび同期ワードを設けて本発明伝送システムに用いることができる。

【図面の簡単な説明】

【図1】本発明無線通信システムを表わすブロック線図である。

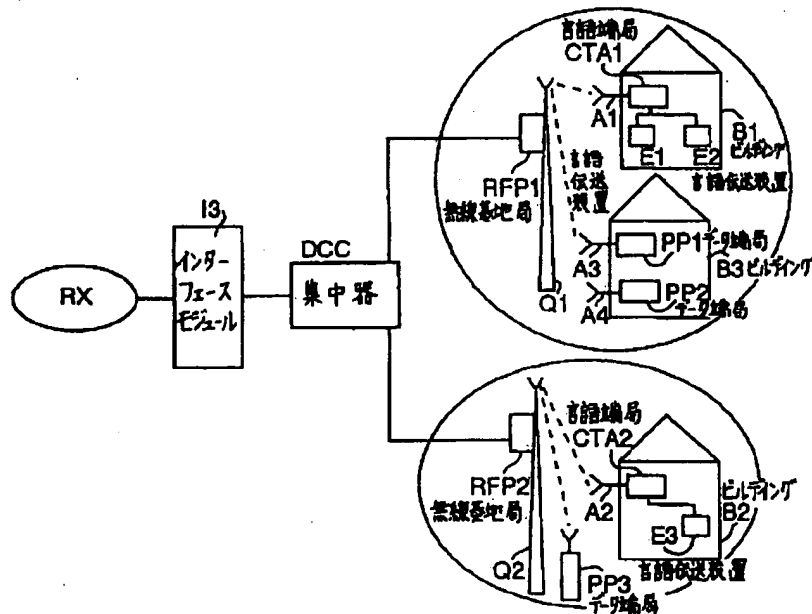
【図2】DECTフレームおよびその時間窓を表わす線図である。

【図3】本発明による無線基地局を模式的に表わすブロック線図である。

【図4】無線基地局の非ロックもしくはロックの状態を管理する自動装置の状態を示すフローチャートである。

【図5】A、BおよびCは同期ワードの検出および受信信号直流分の評価に用いる回路の制御信号のタイミングをそれぞれ表わす線図である。

【図1】



The diagram shows a 23-bit input vector at the top, with bits numbered 23 down to 0. Below it, two output vectors are shown: a 32-bit vector labeled 'P32' and a 64-bit vector labeled 'P60'. The 32-bit vector has fields for bits 16-18 (value 388) and bits 56. The 64-bit vector has fields for bits 16-18 (value 668) and bits 56. Dotted lines indicate the bit mapping: bit 23 of the input maps to bit 16 of the 32-bit output and bit 16 of the 64-bit output; bit 1 maps to bit 18 of the 32-bit output and bit 18 of the 64-bit output; bit 0 maps to bit 56 of the 32-bit output and bit 56 of the 64-bit output. At the bottom, a 32-bit vector is shown with bit fields: bits 0-15 (0101 0101 01010 0101), bits 16-17 (0001 0110), and bits 18-31 (0111 0101). Bit positions 80, 815, 816, and 831 are marked below the vector.

【図 5】

